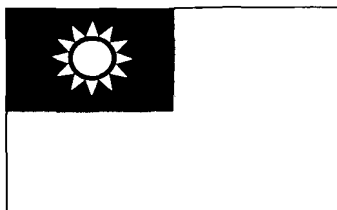


0897



# 中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申請 日：西元 2003 年 01 月 13 日

Application Date

申請 案 號：092100644

Application No.

申請 人：宏達國際電子股份有限公司

Applicant(s)

局 長

Director General

蔡 練 生

2003 4 23

發文日期：西元 年 月 日

Issue Date

發文字號：

09220404480

Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

# 發明專利說明書

一、 發明名稱	中文	測試卡
	英文	
二、 發明人 (共2人)	姓名 (中文)	1. 陳振德 2. 呂永銘
	姓名 (英文)	1. 2.
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中文)	1. 台北市士林區社中街210巷21弄21號4樓 2. 桃園市新埔七街89號7樓之一
	住居所 (英文)	1. 2.
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 宏達國際電子股份有限公司
	名稱或 姓名 (英文)	1. HIGH TECH COMPUTER CORPORATION
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 桃園縣桃園市大林里興華路23號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. 23, HSIN HUA RD., TAOYUAN 330, TAIWAN, R.O.C.
	代表人 (中文)	1. 王雪紅
	代表人 (英文)	1.



TW0897PA.p1d

四、中文發明摘要 (發明名稱：測試卡)

一種測試卡，包括轉換電路、栓鎖電路、資料處理器、信號產生器、振盪組合電路及重置電路。轉換電路係用以接收自卡片介面饋入之屬性控制信號、共記憶體信號及輸出入信號並加以轉換後輸出至資料處理器。栓鎖電路係用以接收自該卡片介面饋入之資料信號，並將此資料信號栓鎖後輸出至資料處理器。信號產生器可輸出模式選擇信號及中斷信號至卡片介面，並依據自卡片介面饋入之控制信號將致能信號輸出至振盪組合電路，令振盪組合電路依據致能信號產生一等待信號，並將此等待信號饋入該卡片介面以作為測試之用。重置電路則用以重置上述栓鎖電路、資料處理器、信號產生器及振盪組合電路，以重新執行測試工作。

五、(一)、本案代表圖為：第 1 圖

(二)、本案代表圖之元件代表符號簡單說明：

六、英文發明摘要 (發明名稱：)



四、中文發明摘要 (發明名稱：測試卡)

110：卡 片 介 面

130：轉 換 電 路

140：資 料 處 理 器

150：栓 鎖 電 路

160：重 置 電 路

170：信 號 產 生 器

180：振 盪 組 合 電 路

ATTR：屬 性 控 制 信 號

COMM：共 記 憶 體 信 號

IO：輸 出 入 信 號

DATA：資 料 信 號

RESET：重 置 信 號

PWR：電 源 信 號

EN：致 能 信 號

CT：控 制 信 號

六、英文發明摘要 (發明名稱：)



四、中文發明摘要 (發明名稱：測試卡)

IOMD：模式選擇信號

INT：中斷信號

WAIT：等待信號 發明說明

六、英文發明摘要 (發明名稱：)



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



## 五、發明說明 (1)

### 【發明所屬之技術領域】

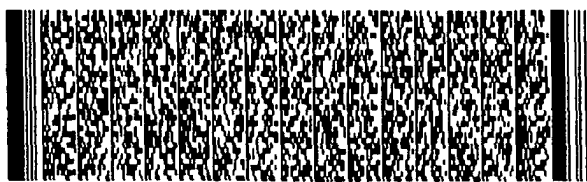
本發明是有關於一種測試卡，且特別是有關於一種整合型測試卡。

### 【先前技術】

近年來科技發展突飛猛進，各式各樣的電子產品如雨後春筍般地發展開來，令人目不暇給。以個人數位助理 (Personal Digital Assistant, PDA) 為例，不過短短幾年時間就從單色螢幕進步到彩色螢幕，除體積益發小巧外，功能的多樣性也與日俱增，儼然成為商務人士不可或缺的重要隨身工具。

為滿足個人數位助理的使用者對擴充性的強烈需求，個人數位助理通常會配置至少一個卡片介面，以作為功能擴充之用。這類卡片介面所符合的介面規格例如是 PCMCIA 或 CF (Compact Flash) 介面，可作為記憶卡或輸入輸出卡 (Input/Output card) 等擴充用途，以增強個人數位助理的功能。其中上述輸入輸出卡例如是數據卡 (modem card)。

就工廠端而言，產品在出廠前均會經過一連串的品管測試，以確保產品品質；其中很重要的一項，就是測試卡片介面的功能是否正常。無論產品是採用 PCMCIA、CF 或其他介面，均必須可支援記憶體 (memory) 及輸入輸出 (I/O) 功能，以提供使用者多方面的擴充需求。目前最普遍的測試方式，是利用一般市售的記憶卡及輸入輸出卡



## 五、發明說明 (2)

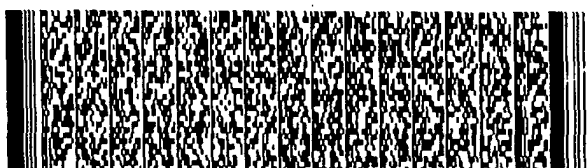
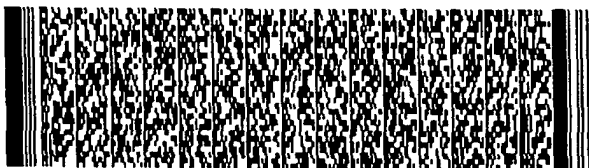
分別測試卡片介面的記憶體及輸出入功能。因此在測試時，必須先將記憶卡插上卡片插槽做記憶體存取測試，待測試完畢後將記憶卡拆下，再把輸入輸出卡插上卡片插槽，繼續做輸出入信號的測試。重要的是，雖然測試人員已分別利用記憶卡及輸入輸出卡測量卡片介面的記憶體及輸出入功能，但仍不能全面地涵蓋所有的待測信號而有所遺漏，例如模式選擇信號 (IOIS16) 等待信號 (WAIT) 及中斷信號 (INT) 便沒被測量到，使品管效果大打折扣。此外，由於測試人員必須分別利用記憶卡及輸入輸出卡來測試卡片介面的記憶體及輸出入功能，除所需的測試時間較長外 (ATA-Type 記憶卡約 7 秒，輸入輸出卡約 25 秒，尚不包含插拔時間)，也影響了測試流程的流暢度。

### 【發明內容】

有鑑於此，本發明的目的就是在提供一種測試卡，以利用單一卡片整合記憶體、輸出入等所有待測的介面信號，以縮短測試時間度並精簡測試流程。

根據本發明的目的，提出一種測試卡，此裝置之簡述如下：

測試卡係用以耦接至配置於電子裝置之卡片介面，以測試卡片介面之功能。測試卡包括有轉換電路、栓鎖電路、資料處理器、信號產生器、振盪組合電路及重置電路。轉換電路係用以接收自卡片介面饋入之屬性控制信號、共記憶體信號及輸出入信號並加以轉換後輸出至資料



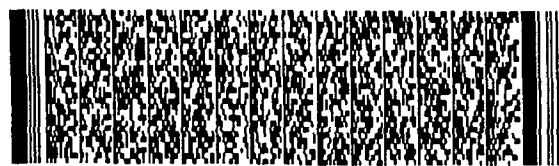
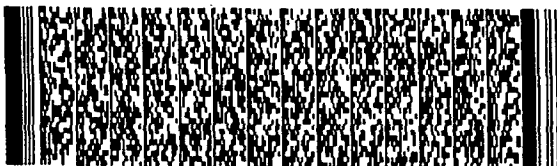


### 五、發明說明 (3)

處理器。栓鎖電路係用以接收自該卡片介面饋入之資料信號，並將此資料信號栓鎖後輸出至資料處理器。資料處理器接收到來自轉換電路及栓鎖電路之信號後，即可據以進行測試工作。此外，信號產生器可輸出模式選擇信號及中斷信號至卡片介面，以測試模式選擇信號及中斷信號之功能，並依據自卡片介面饋入之控制信號將致能信號輸出至振盪組合電路，令振盪組合電路依據致能信號產生一等待信號，並將此等待信號饋入該卡片介面以作為測試之用。重置電路則用以重置上述栓鎖電路、資料處理器、信號產生器及振盪組合電路，以重新執行測試工作。

此外，本發明所提供之測試卡所執行之測試方式並包括以下步驟：

測試卡鑑定，若鑑定失敗則顯示錯誤信息，若鑑定成功則進行16位元I/O定址模式測試。接著，若16位元I/O定址模式測試失敗則顯示錯誤信息，若測試成功則進行16位元屬性定址模式測試。若16位元屬性定址模式測試失敗則顯示錯誤信息，若測試成功則進行記憶體定址模式測試。若記憶體定址模式測試失敗則顯示錯誤信息，若測試成功則將測試模式設定為8位元，並進行8位元I/O定址模式測試。若8位元I/O定址模式測試失敗則顯示錯誤信息，若測試成功則進行等待信號測試。等待信號測試時先致能(enable)等待信號並執行計數處理，接著禁能(disable)等待信號並執行計數處理，並依據等待信號致能時與禁能時所得到的計數值差額加以判斷，以得知等待信號是否符合



#### 五、發明說明 (4)

合標準。若不符合則顯示錯誤信息，若符合則結束測試流程。

為讓本發明之上述目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

#### 【實施方式】

請參照第 1 圖，其繪示依照本發明一較佳實施例的一種測試卡方塊圖。測試卡係用以耦接至配置於電子裝置之卡片介面 110，以測試卡片介面 110 之功能；其中此電子裝置例如是個人數位助理。測試卡包括有轉換電路 130、栓鎖電路 150、資料處理器 140、信號產生器 170、振盪組合電路 180 及重置電路 160。其中資料處理器 140 可利用快閃記憶體 (Flash Memory) 實現之，並藉由燒錄於資料處理器 140 中的韌體程式 (firmware) 執行介面信號的測量工作。為使測試卡能涵蓋記憶體及輸出入功能，轉換電路 130 必須能針對來自於卡片介面 110 的屬性 (attribute) 控制信號 ATTR、共記憶體 (common memory) 信號 COMM 及輸出入 (I/O) 信號 IO 加以處理。與過去作法不同的是，傳統在進行記憶卡測試時，僅能測出屬性控制信號 ATTR 及共記憶體信號 COMM，而進行輸出入測試時，僅能測出屬性控制信號 ATTR 及輸出入信號 IO。由於本發明之轉換電路 130 能同時針對屬性控制信號 ATTR、共記憶體信號 COMM 及



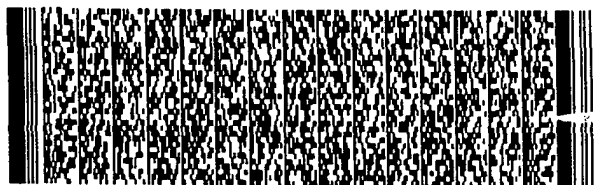
#### 五、發明說明 (5)

輸出入信號 IO 三者加以測試，故可整合記憶體及輸出入信號的測試功能。

另一方面，栓鎖電路 150 可將來自於卡片介面 110 的資料信號 DATA 栓鎖住，並配合位址信號 AD 饋入資料處理器 140 中，進行記憶體或輸出入信號的功能測試。隨著測試流程的進行，資料處理器 140 會依序針對 16 位元的輸出入信號 IO、16 位元的屬性控制信號 ATTR、共記憶體信號 COMM 及 8 位元的輸出入信號 IO 加以檢驗，其測試流程於下文中有更進一步的說明，於此便不再贅述。

信號產生器 170 可產生模式選擇信號 IOMD 及中斷信號 INT，此二信號在傳統測試流程中無論插上記憶卡或輸入輸出卡均無法測得，本發明可利用信號產生器 170 將模式選擇信號 IOMD 及中斷信號 INT 產生出來，並饋入卡片介面 110 中，配合資料處理器中的韌體程式加以測試後，即可得知模式選擇信號 IOMD 及中斷信號 INT 的運作是否正常。

此外，信號產生器 170 亦可依據卡片介面 110 所饋入之控制信號 CT 產生致能信號 EN，並將致能信號 EN 饋入振盪組合電路 180 以產生等待信號 WAIT。其中致能信號 EN 可以是一負緣觸發信號，當致能信號 EN 處於高位準 (high level) 時等待信號 WAIT 亦為高位準，故此時等待信號 WAIT 被禁能 (disable)，電子裝置之中央處理器 (CPU) 此時的運算能力並不受到干擾。此時資料處理器 140 可令 CPU 計算 (count) 一預設的數目 (例如 1000)，並將計數完畢所需的時間 (例如 T1) 記錄下來。當致能信號 EN 由高位準降



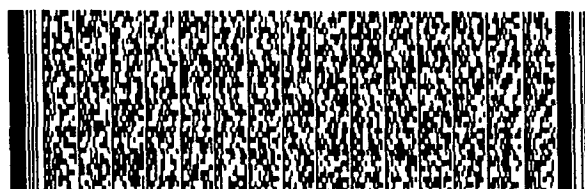
#### 五、發明說明 (6)

為低位準時，振盪組合電路 180 便會產生一高低位準交錯出現的方波信號。由於等待信號 WAIT 處於低位準時即相當於被致能 (enable)，故等待信號 WAIT 於低位準時 CPU 即停止運作。以此等方波信號作為斷續致能的等待信號 WAIT 饋入 CPU 後，CPU 的運算速度即會降低，此時資料處理器 140 再次令 CPU 計算相同的預設數目 (此例為 1000)，並記錄計數完畢所需的時間 (例如 T2)，依據時間 T2 減去時間 T1 的結果，即可得知等待信號 WAIT 的運作是否符合標準，如此，即可檢測等待信號 WAIT 的功能是否正常。

重置電路 160 的功能在於重置該栓鎖電路 150、資料處理器 140、信號產生器 170 及振盪組合電路 180，使測試卡可於下一個卡片介面 110 中重新執行測試工作。

接著請參照第 2A~2C 圖，其繪示乃第 1 圖中測試卡所執行之測試方法流程圖。開始測試時，換先對測試卡進行鑑定 (步驟 210)，若鑑定失敗則顯示錯誤信息，若鑑定成功則進行 16 位元 I/O 定址模式測試，以針對 16 位元的輸出入信號 IO 進行測試 (步驟 215, 220)。此時可將模式選擇信號 IOMD 設定為低位準，以針對抹除 (erase)、寫入 (write)、讀取 (read) 及比較 (compare) 等信號加以測試，此等測試涵蓋了輸出入信號 IO 中較低的位址、資料信號及 PIOW、PIOR 等信號。

若 16 位元 I/O 定址模式測試失敗則顯示錯誤信息，若測試成功 (步驟 225) 則進行 16 位元屬性定址模式測試，以針對 16 位元的屬性控制信號 ATTR 進行測試 (步驟 230)



#### 五、發明說明 (7)

。16位元屬性定址模式可針對抹除、寫入、讀取及比較等信號加以測試，此等測試涵蓋了屬性控制信號 ATTR 中的 PWE 及 POE 等信號。

若 16 位元屬性定址模式測試失敗則顯示錯誤信息，若測試成功（步驟 235）則進行記憶體定址模式測試（步驟 240）。記憶體定址模式可針對共記憶體信號加以測試，範圍涵蓋了較高的位址及資料信號，若記憶體定址模式測試失敗則顯示錯誤信息，若測試成功（步驟 245）便可將模式選擇信號 IOMD 設定為高位準，使測試模式被設定為 8 位元（步驟 250），以進行 8 位元 I/O 定址模式測試（步驟 255）。8 位元 I/O 定址模式可針對抹除、寫入、讀取及比較等信號加以測試，涵蓋了模式選擇信號 IOMD 為高位準時的各項測試結果。

若 8 位元 I/O 定址模式測試失敗則顯示錯誤信息，若測試成功（步驟 260）則進行等待信號測試。首先，可利用方波作為被致能的等待信號 WAIT，以令 CPU 執行一預設數值（例如 1000）之計數處理，並將運算所需時間（例如 T2）記錄下來（步驟 265）。接著將等待信號 WAIT 維持在高位準，此時相當於等待信號 WAIT 被禁能，並再次令 CPU 執行預設數值（此例為 1000）之計數處理，將將運算所需時間（例如 T1）記錄下來（步驟 270）。依據等待信號 WAIT 致能時與禁能時所得到的計數值差額（ $T2 - T1$ ）加以判斷，即可得知等待信號 WAIT 是否符合標準（步驟 275）。若不符合則顯示錯誤信息，若符合則結束測試流程（步驟



五、發明說明 (8)

280)。

本發明上述實施例所揭露之測試卡，可適用於不同的作業系統，例如 WinCE、Palm或 Linux等，在實務上僅需針對不同的作業系統將資料處理器中的韌體稍加修改，即可適用上述測試架構及流程，就熟悉此技藝者而言，此等轉換並不具有實施上的困難。

綜上所述，本發明上述實施例所揭露之測試卡至少具有以下優點：

一、可同時測量記憶體及輸出入信號，故大幅節省測試時間及程序。

二、僅需單張測試卡即可完成記憶體及輸出入信號等測試，所需成本較以往需要記憶卡及輸入輸出卡兩張卡片來測試低廉許多。

三、可測的硬體介面信號範圍更廣，涵蓋了模式選擇信號、中斷信號及等待信號的量測。

四、以快閃記憶體實現資料處理器，提供了測試程式升級與保存的功能。

綜上所述，雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



## 圖式簡單說明

第 1 圖繪示依照本發明一較佳實施例所提供的測試卡方塊圖。

第 2A~2C 圖繪示乃第 1 圖中測試卡所執行之測試方法流程圖。

## 圖式標號說明

110：卡片介面

130：轉換電路

140：資料處理器

150：栓鎖電路

160：重置電路

170：信號產生器

180：振盪組合電路

ATTR：屬性控制信號

COMM：共記憶體信號

IO：輸出入信號

DATA：資料信號

RESET：重置信號

PWR：電源信號

EN：致能信號

CT：控制信號

IOMD：模式選擇信號

INT：中斷信號

WAIT：等待信號



## 六、申請專利範圍

1. 一種測試卡，用以耦接至配置於一電子裝置之卡片介面，以測試該卡片介面之功能，其中該卡片介面係符合一介面規格，該測試卡包括：

一轉換電路，用以接收自該卡片介面饋入之一屬性 (attribute) 控制信號、一公共記憶體 (common memory) 信號及一輸出入 (I/O) 信號並加以轉換後輸出；

一栓鎖電路，用以接收自該卡片介面饋入之一資料信號，並將該資料信號栓鎖後輸出；

一資料處理器，耦接至該轉換電路及該栓鎖電路，用以依據該轉換電路所輸出之信號及該資料信號進行測試工作；

一信號產生器，用以輸出一模式選擇信號及一中斷信號至該卡片介面，並依據自該卡片介面饋入之一控制信號，產生並輸出一致能信號；

一振盪組合電路，耦接至該信號產生器，用以依據該致能信號產生一等待信號，並將該等待信號饋入該卡片介面；以及

一重置 (reset) 電路，耦接至該栓鎖電路、該資料處理器、該信號產生器及該振盪組合電路，用以重置該栓鎖電路、該資料處理器、該信號產生器及該振盪組合電路。

2. 如申請專利範圍第 1 項所述之測試卡，其中該電子裝置係一個人數位助理。

3. 如申請專利範圍第 2 項所述之測試卡，其中該個人





#### 六、申請專利範圍

數位助理係採用 WinCE作業系統。

4.如申請專利範圍第1項所述之測試卡，其中該介面規格係 PCMCIA規格。

5.如申請專利範圍第1項所述之測試卡，其中該介面規格係 CF(Compact Flash)規格。

6.如申請專利範圍第1項所述之測試卡，其中該資料處理器係一快閃記憶體 (Flash Memory)。

7.如申請專利範圍第1項所述之測試卡，其中該致能信號係一負緣觸發信號。

8.如申請專利範圍第1項所述之測試卡，其中該等待信號係一方波信號。

9.如申請專利範圍第1項所述之測試卡，其中該測試卡所執行之測試方法包括以下步驟：

測試卡鑑定，若鑑定失敗則顯示錯誤信息，若鑑定成功則進行步驟 A；

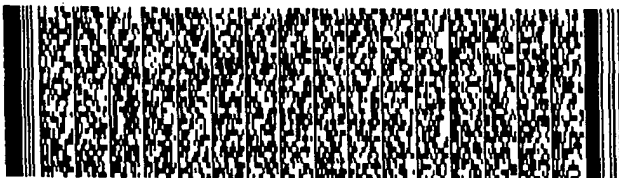
A.進行 16位元 I/O定址模式測試，若測試失敗則顯示錯誤信息，若測試成功則進行步驟 B；

B.進行 16位元屬性定址模式測試，若測試失敗則顯示錯誤信息，若測試成功則進行步驟 C；

C.進行記憶體定址模式測試，若測試失敗則顯示錯誤信息，若測試成功則進行步驟 D；

D.設定為 8位元測試模式；

E.進行 8位元 I/O定址模式測試，若測試失敗則顯示錯誤信息，若測試成功則進行步驟 F；



## 六、申請專利範圍

F.致能(enable)等待信號並執行計數處理；

G.禁能(disable)等待信號並執行計數處理；以及  
依據步驟F與步驟G之計數值判斷等待信號是否符合標準，若否則顯示錯誤信息，若是則結束測試流程。

10.如申請專利範圍第9項所述之測試卡，其中該致能信號係一負緣觸發信號。

11.如申請專利範圍第9項所述之測試卡，其中該等待信號係一方波信號。

12.一種以測試卡測試卡片介面功能的測試方法，該測試方法包括以下步驟：

鑑定該測試卡，若鑑定失敗則顯示錯誤信息，若鑑定成功則進行步驟A；

A.進行16位元I/O定址模式測試，若測試失敗則顯示錯誤信息，若測試成功則進行步驟B；

B.進行16位元屬性定址模式測試，若測試失敗則顯示錯誤信息，若測試成功則進行步驟C；

C.進行16位元記憶體定址模式測試，若測試失敗則顯示錯誤信息，若測試成功則進行步驟D；

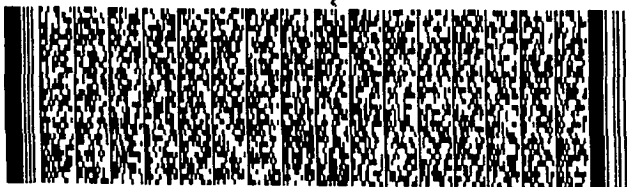
D.設定為8位元測試模式；

E.進行8位元I/O定址模式測試，若測試失敗則顯示錯誤信息，若測試成功則進行步驟F；

F.致能(enable)等待信號並執行計數處理；

G.禁能(disable)等待信號並執行計數處理；以及

依據步驟F與步驟G之計數值判斷等待信號是否符合標準



## 六、申請專利範圍

準，若否則顯示錯誤信息。若是則結束測試流程。

13.如申請專利範圍第12項所述之測試方法，其中該致能信號係一負緣觸發信號。

14.如申請專利範圍第12項所述之測試卡，其中該等待信號係一方波信號。

15.一種測試系統，耦接至配置於一電子裝置之卡片介面，以測試該卡片介面之功能，其中該卡片介面係符合一介面規格，該測試系統包括：

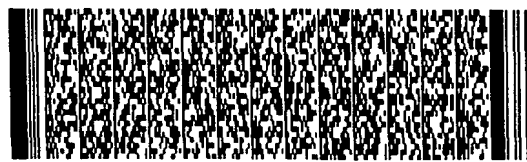
一轉換電路，用以接收自該卡片介面饋入之一屬性控制信號、一記憶體信號及一輸出入信號並加以轉換後輸出；

一栓鎖電路，用以接收自該卡片介面饋入之一資料信號，並將該資料信號栓鎖後輸出；

一資料處理器，耦接至該轉換電路及該栓鎖電路，用以依據該轉換電路所輸出之信號及該資料信號進行測試工作，其中，該測試系統插上該卡片介面時該資料處理器即進行該測試系統之鑑定，若鑑定失敗則顯示錯誤信息，若鑑定成功則進行步驟A；

A.進行該輸出入信號之16位元I/O定址模式測試，若測試失敗則顯示錯誤信息，若測試成功則進行步驟B；

B.進行該屬性控制信號之16位元屬性定址模式測試，若測試失敗則顯示錯誤信息，若測試成功則進行步驟C；



## 六、申請專利範圍

C.進行該共記憶體信號之16位元記憶體定址模式測試，若測試失敗則顯示錯誤信息，若測試成功則進行步驟D；

D.設定為8位元測試模式；

E.進行該輸出入信號之8位元I/O定址模式測試，若測試失敗則顯示錯誤信息；

一信號產生器，用以輸出一模式選擇信號及一中斷信號至該卡片介面，並依據自該卡片介面饋入之一控制信號，產生並輸出一致能信號；

一振盪組合電路，耦接至該信號產生器，用以依據該致能信號產生一等待信號，並將該等待信號饋入該卡片介面，其中，該振盪組合電路係依據該致能信號輸出該等待信號以執行計數處理，計數結束後該振盪組合電路禁能等待信號並再次執行計數處理，該資料處理器依據該等待信號被致能時與被禁能時之計數值判斷等待信號是否符合標準；以及

一重置(reset)電路，耦接至該栓鎖電路、該資料處理器、該信號產生器及該振盪組合電路，用以重置該栓鎖電路、該資料處理器、該信號產生器及該振盪組合電路。

16.如申請專利範圍第15項所述之測試系統，其中該電子裝置係一個人數位助理。

17.如申請專利範圍第15項所述之測試系統，其中該個人數位助理係採用WinCE作業系統。



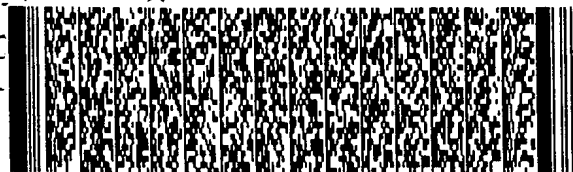
六、申請專利範圍

18.如申請專利範圍第15項所述之測試系統，其中該致能信號係一負緣觸發信號。

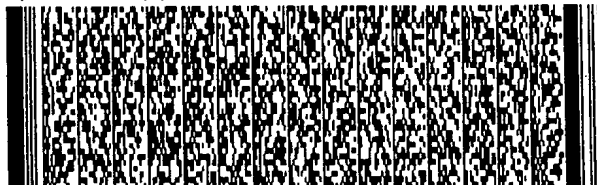
19.如申請專利範圍第15項所述之測試系統，其中該等待信號係一方波信號。



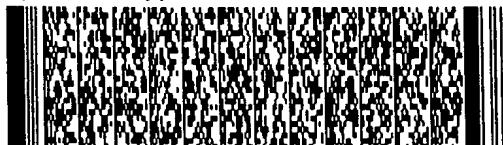
第 1/20 頁



第 2/20 頁



第 3/20 頁



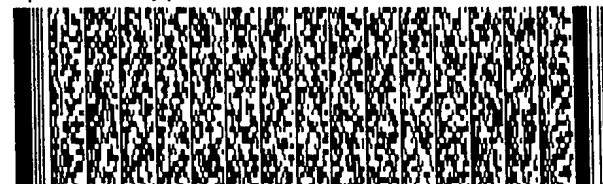
第 4/20 頁



第 5/20 頁



第 6/20 頁



第 6/20 頁



第 7/20 頁



第 7/20 頁



第 8/20 頁



第 8/20 頁



第 9/20 頁



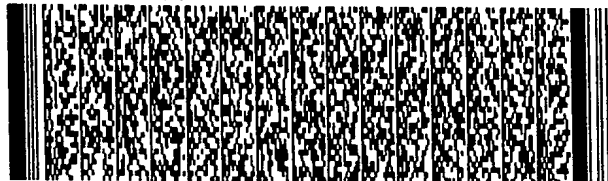
第 9/20 頁



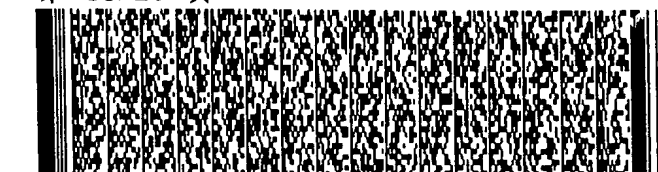
第 10/20 頁



第 10/20 頁



第 11/20 頁



第 11/20 頁



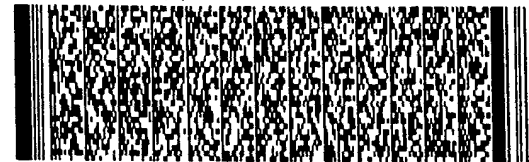
第 12/20 頁



第 13/20 頁



第 15/20 頁



第 16/20 頁



第 18/20 頁



第 19/20 頁



第 20/20 頁



第 12/20 頁



第 13/20 頁



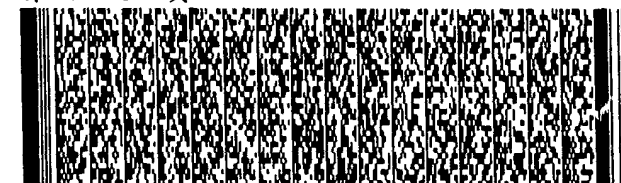
第 14/20 頁



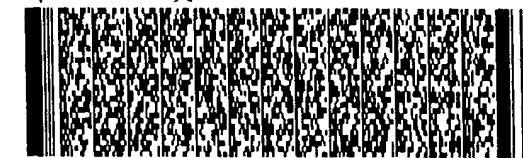
第 15/20 頁



第 17/20 頁

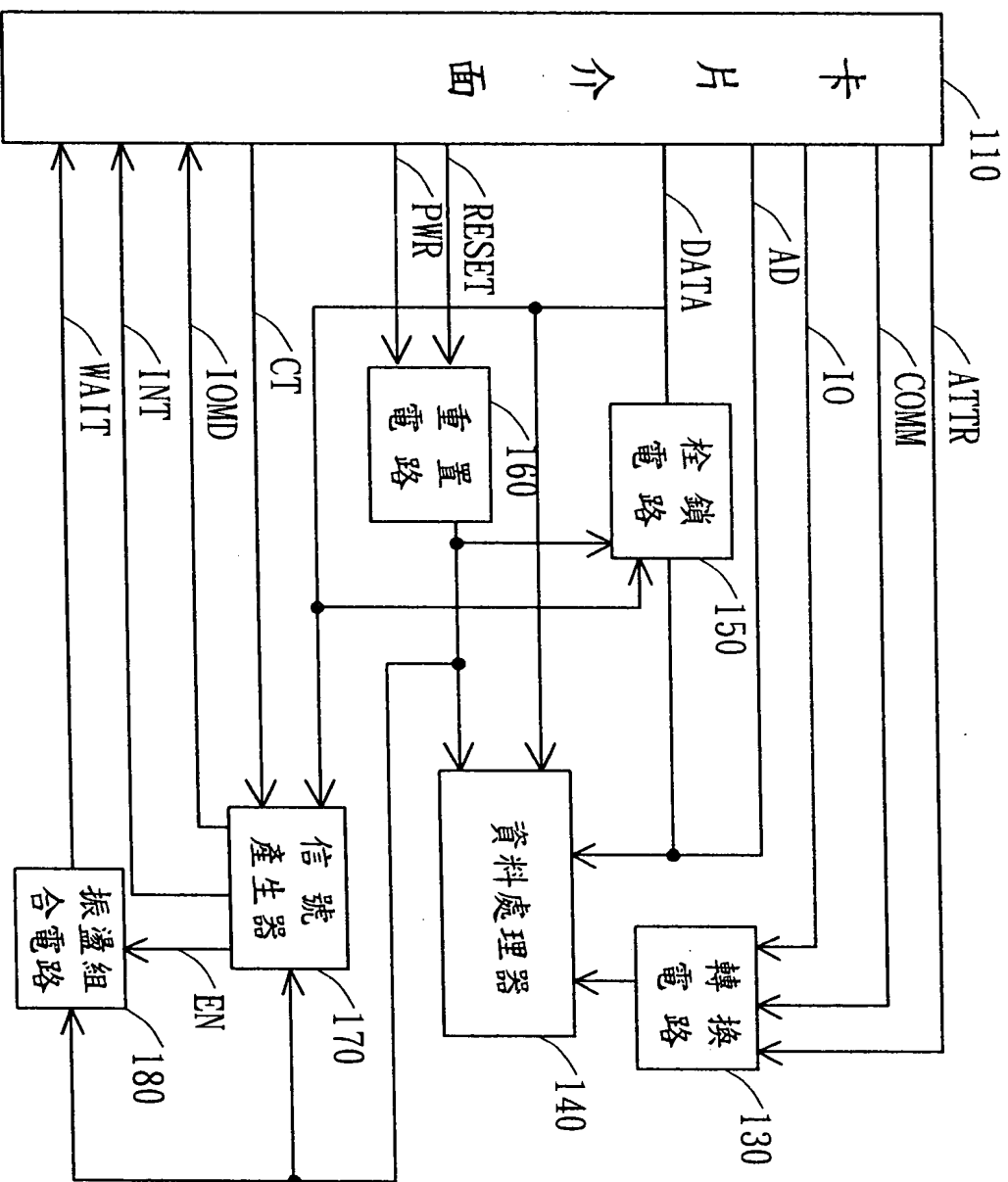


第 18/20 頁



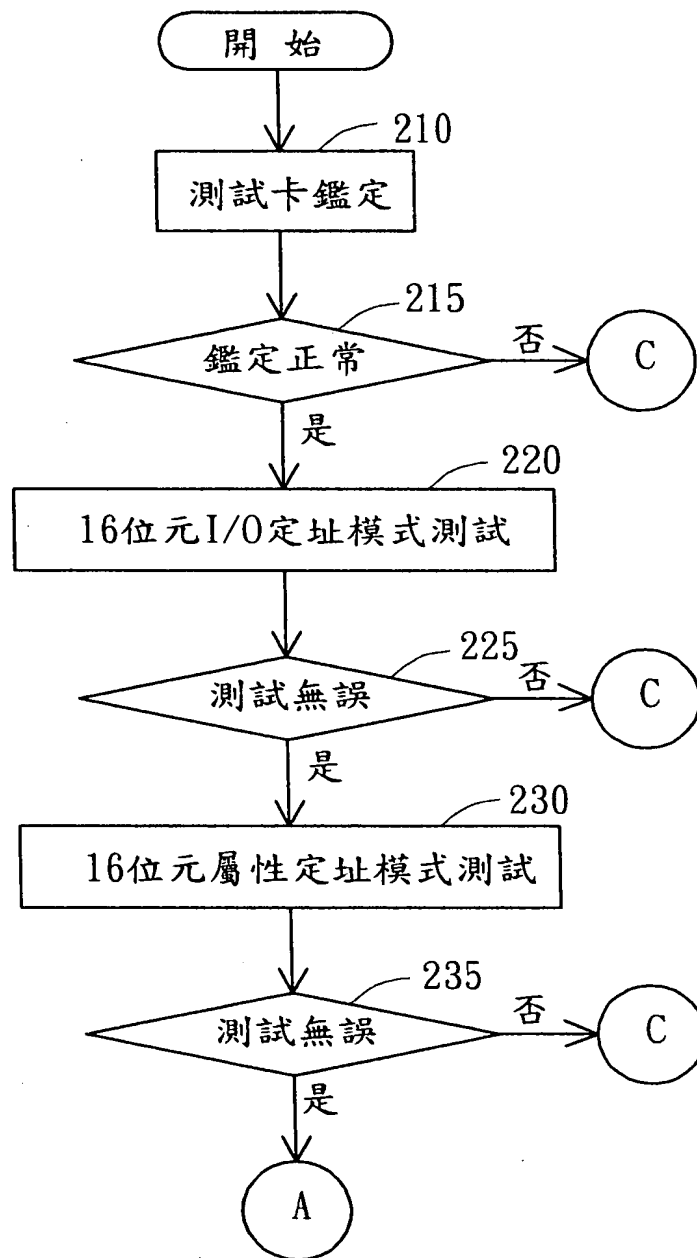
第 19/20 頁



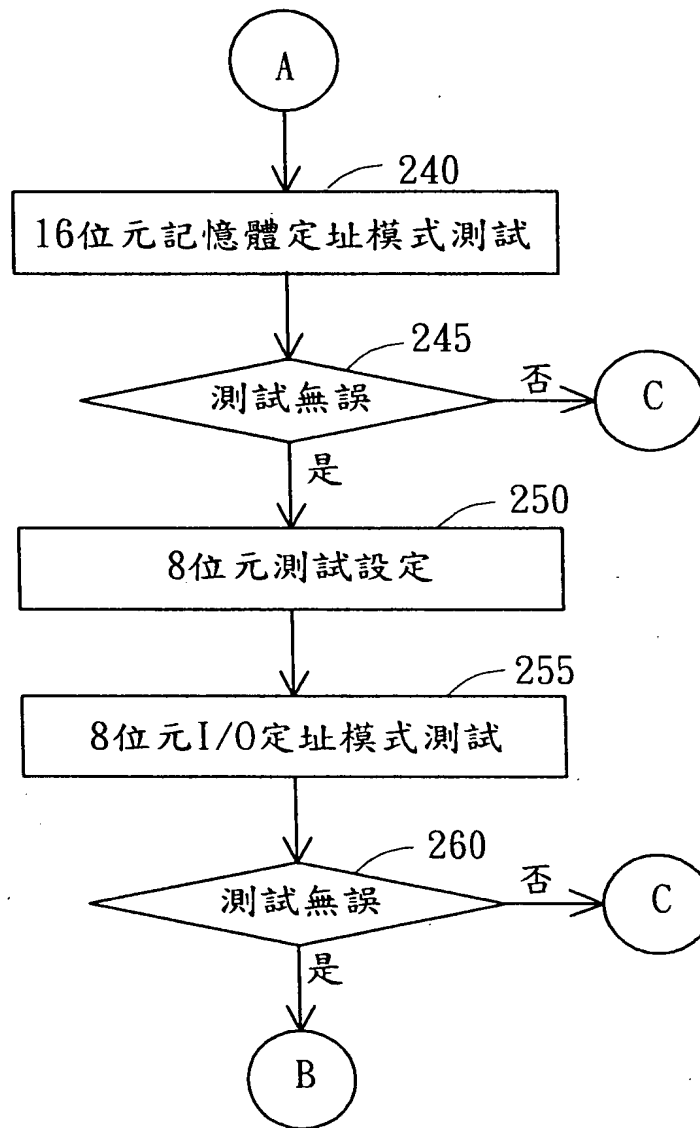


第 1 圖

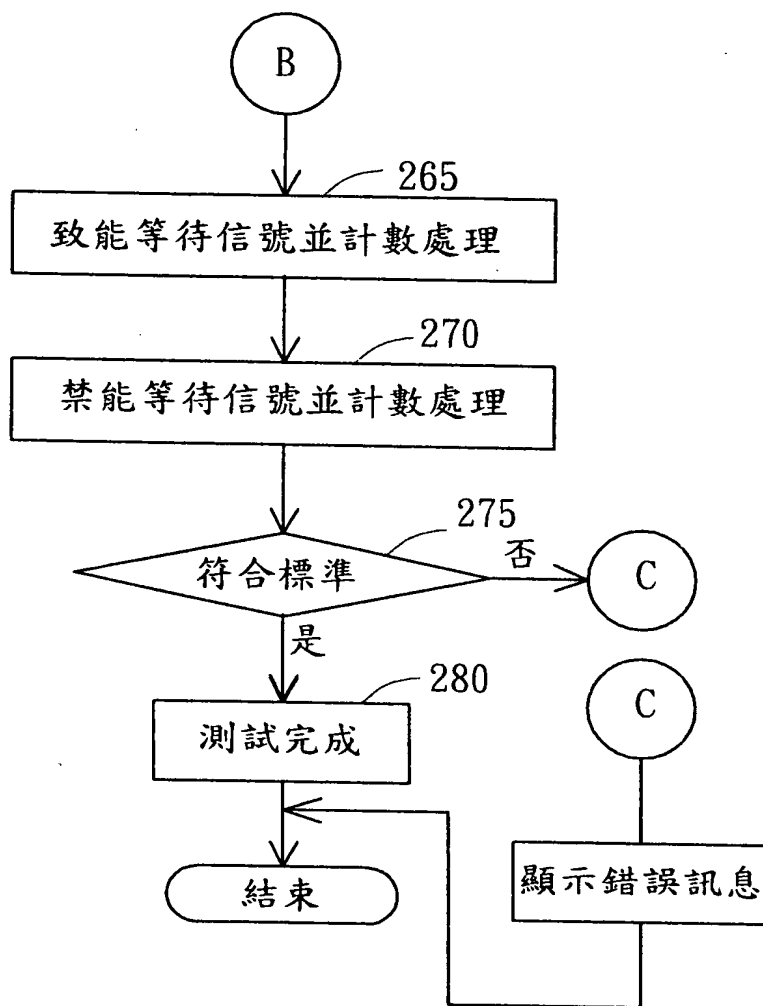




第 2A 圖



第 2B 圖



第 2C 圖

